

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125093

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G11C 29/00

(21)Application number : 09-274856

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 07.10.1997

(72)Inventor : SUNG-SOO LEE
YOUNG-HO LIM

(30)Priority

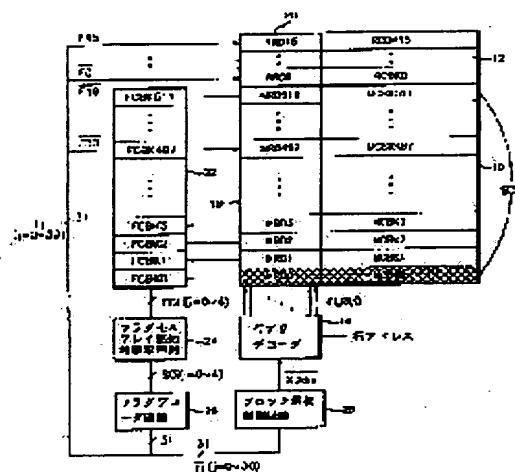
Priority number : 96 9644616 Priority date : 08.10.1996 Priority country : KR

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory having a redundant circuit for relieving a fault cell even after packaging a semiconductor by providing an automatic block mapping function for relieving the fault cell.

SOLUTION: The semiconductor memory comprises a flag cell array 22 for storing block fault state information of a fault row block existing in a main memory cell array 10 for storing data, and a flag decoder 26 for generating a repair block select signal for substituting for the fault row block with the flag cell fault state information. Thus, the fault row block exceeding number of a redundant length arrays 12 is substituted for most significant block of the array 10 according to the repair block select signal. A user uses an address of residual main row block except the most significant row block substituted in the array 10.



LEGAL STATUS

[Date of request for examination]

26.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 複数の主行ブロックおよびこの主行ブロックに対応する複数の主ブロック選択ラインを備えデータを貯蔵する主貯蔵手段と、

複数の予備行ブロックおよびこの予備行ブロックに対応する複数の予備ブロック選択ラインを備え、前記主貯蔵手段に関連して配置され前記主貯蔵手段に発生した欠陥行ブロックの代替ブロックとして機能する予備貯蔵手段と、

前記主貯蔵手段および前記予備貯蔵手段内の少なくとももいずれかに存在する欠陥行ブロックの数が前記代替ブロックの数を超過すると代替できない超過欠陥ブロックは前記主貯蔵手段内に配列した一群の無欠陥ブロックにより代替させるブロックマッピング手段とを設けたことを特徴とする半導体メモリ装置。

【請求項2】 請求項1に記載の半導体メモリ装置において、

前記ブロックマッピング手段により前記超過欠陥ブロックと代替する前記主貯蔵手段内の無欠陥ブロックは、前記主貯蔵手段内の最上位行アドレスから順に所定のアドレスまでとすることを特徴とする半導体メモリ装置。

【請求項3】 請求項1に記載の半導体メモリ装置において、

前記超過欠陥ブロックの数に関連した情報を格納する格納手段を備え、前記格納手段の超過欠陥ブロック情報により使用者が前記主貯蔵手段内で欠陥行ブロックと代替された上位ブロックを除外し残りの主行ブロックに対応する行アドレスを使用することを特徴とする半導体メモリ装置。

【請求項4】 請求項1に記載の半導体メモリ装置において、

前記ブロックマッピング手段は、行アドレスを解読して複数の主行ブロック選択信号を発生させる行プリデコード手段と、

前記主行ブロックに対応する複数のフラグ行ブロックを備え、このフラグ行ブロックに複数のフラグブロック選択ラインおよび列方向に伸長する複数のフラグビットラインとを有し、前記主行ブロックの欠陥の有無に関するブロック欠陥状態情報を格納するフラグ貯蔵手段と、前記フラグ貯蔵手段に格納された前記ブロック欠陥状態情報を感知し増幅およびラッチを行う感知増幅器手段と、

前記感知増幅器手段からの前記ブロック欠陥状態情報によって前記主貯蔵手段から代替される無欠陥ブロックを選択するため複数の修理ブロック選択信号を発生させるフラグデコード手段と、

前記主行ブロックの各々に対応し、前記主行ブロック選択信号および前記修理ブロック選択信号により前記主行ブロック選択ラインを選択的に駆動させる複数の主行デコードと、

前記予備行ブロックの各々に対応し、前記主行ブロック選択信号および修理ブロック選択信号により前記予備ブロック選択ラインを選択的に駆動させる複数の予備行デコードと、

前記フラグデコード手段からの前記修理ブロック選択信号により前記主貯蔵手段の欠陥行ブロックに対応する前記主行デコードを非活性化させるブロック選択制御手段とを設けたことを特徴とする半導体メモリ装置。

【請求項5】 請求項1に記載の半導体メモリ装置において、

前記主貯蔵手段は、不揮発性メモリであることを特徴とする半導体メモリ装置。

【請求項6】 請求項5に記載の半導体メモリ装置において、

前記不揮発性メモリは、EEPROMであることを特徴とする半導体メモリ装置。

【請求項7】 請求項1に記載の半導体メモリ装置において、

前記主貯蔵手段は、フラッシュEEPROMセルアレイであることを特徴とする半導体メモリ装置。

【請求項8】 請求項7に記載の半導体メモリ装置において、

前記フラッシュEEPROMセルアレイは、NAND構造アレイであることを特徴とする半導体メモリ装置。

【請求項9】 請求項1に記載の半導体メモリ装置において、

前記主行ブロックの各々は、

行方向に伸長する複数のワードラインと、

列方向に伸長する複数のビットラインと、

所定の基準電圧を供給するための共通ソースラインと、

前記各ビットラインと前記共通ソースライン間に接続される複数のセルストリングと、

対応する主ブロック選択ラインの電圧レベルによって外部信号がストリング選択ライン、前記ワードラインおよび基準電圧選択ラインとに選択的に接続するゲート手段とを備え、

前記各セルストリングは、対応する前記ビットラインに接続される電流通路および前記ストリング選択ラインに接続される制御電極を備えた第1選択トランジスタと、前記共通ソースラインに接続される電流通路および前記基準電圧選択ラインに接続される制御電極を備えた第2選択トランジスタと、前記第1および第2選択トランジスタの電流通路の間に直列に接続された電流通路および前記ワードラインに各々接続される制御電極を備えた複数のセルトランジスタとを具備していることを特徴とする半導体メモリ装置。

【請求項10】 請求項9に記載の半導体メモリ装置において、

前記共通ソースラインから供給する所定の基準電圧は、接地電圧であることを特徴とする半導体メモリ装置。

【請求項11】 請求項4に記載の半導体メモリ装置において、

前記主行デコード各々は、前記主行ブロック選択信号および修理ブロック選択信号とにより駆動する主ブロック選択ラインの電圧レベルを変化させるゲート制御手段を設けたことを特徴とする半導体メモリ装置。

【請求項12】 請求項11に記載の半導体メモリ装置において、

前記ゲート制御手段は、前記主行ブロック選択信号を受入れる第1NANDゲート回路と、前記第1NANDゲート回路の出力信号および前記出力信号に対応する修理ブロック選択信号を受入れる第2NANDゲート回路とを具備し、前記第2NANDゲート回路の出力を前記主ブロック選択ラインに供給していることを特徴とする半導体メモリ装置。

【請求項13】 請求項4に記載の半導体メモリ装置において、

前記フラグ貯蔵手段は、不揮発性メモリであることを特徴とする半導体メモリ装置。

【請求項14】 請求項13に記載の半導体メモリ装置において、

前記不揮発性メモリは、EEPROMであることを特徴とする半導体メモリ装置。

【請求項15】 請求項4に記載の半導体メモリ装置において、

前記フラグ貯蔵手段は、
行方向に延長する2つのフラグワードラインと、
縦方向に延長し複数配列するフラグビットラインと、
接地電圧を供給するための共通ソースラインと、
前記フラグビットラインと前記共通ソースラインの間に接続されたセルストリングと、
対応するフラグブロック選択ラインの電圧レベルによって、外部信号がストリング選択ラインと前記フラグワードラインおよび接地選択ラインとに選択的に接続させるゲート手段とを備え、

前記各セルストリングは、対応する前記フラグビットラインに接続される電流通路および前記ストリング選択ラインに接続される制御電極を備えた第1選択トランジスタと、前記共通ソースラインに接続される電流通路および前記接地選択ラインに接続される制御電極を備えた第2選択トランジスタと、前記第1選択トランジスタの電流通路に直列に接続される電流通路および2つの前記フラグワードライン中の一方に接続される制御電極を備えた第1群のセルトランジスタと、前記第1群のセルトランジスタの電流通路と前記第2選択トランジスタの電流通路との間に直列に接続される電流通路および2つの前記フラグワードライン中の他の一方に接続される制御電極を備えた第2群のセルトランジスタとを具備していることを特徴とする半導体メモリ装置。

【請求項16】 請求項15に記載の半導体メモリ装置

において、

前記セルストリングは、少なくとも二つ以上、前記フラグビットラインに並列に接続されていることを特徴とする半導体メモリ装置。

【請求項17】 請求項11に記載の半導体メモリ装置において、

前記ゲート制御手段は、前記主ブロック選択信号を受入れる第1NANDゲート回路と、前記第1NANDゲート回路の出力信号および前記出力信号に対応する修理ブロック選択信号を受入れる第2NANDゲート回路とを具備し、前記第2NANDゲート回路の出力を前記フラグブロック選択ラインに供給していることを特徴とする半導体メモリ装置。

【請求項18】 請求項17に記載の半導体メモリ装置において、

前記ゲート制御手段は、前記主行ブロックおよびフラグ行ブロックが非選択されると前記主行ブロックおよびフラグ行ブロックのストリング選択ラインに前記接地電圧を供給する手段を備えていることを特徴とする半導体メモリ装置。

【請求項19】 請求項4に記載の半導体メモリ装置において、

前記感知増幅手段は、

前記フラグビットラインに各々対応する複数の感知ノードと、

前記感知ノードに感知電流を供給するための電流源と、
前記感知ノードと前記フラグビットラインの間に配置され、第1および第2外部制御信号により前記電流源からの前記感知電流を前記フラグビットラインに選択的に供給させる分離手段と、

第3外部制御信号により前記感知ノードの電圧レベルを各々反転させる第1反転手段と、

前記第1反転手段の出力信号をラッチするラッチ手段と、

前記ラッチ手段の出力信号を反転させる第2反転手段とを設けたことを特徴とする半導体メモリ装置。

【請求項20】 請求項19に記載の半導体メモリ装置において、

前記分離手段は、

前記各フラグビットラインに接続された電流通路および前記第1外部制御信号と接続されたゲートを有する複数の第1MOSTランジスタと、

前記第1MOSTランジスタの前記電流通路と前記感知ノードとの間に接続される電流通路および前記第2外部制御信号に接続されるゲートを有する複数の第2MOSTランジスタとを具備していることを特徴とする半導体メモリ装置。

【請求項21】 請求項20に記載の半導体メモリ装置において、

前記フラグビットラインと感知ノードとの間に配置され

る前記分離手段内の二つのトランジスタは、少なくとも一方がデプレッション型MOSトランジスタであることを特徴とする半導体メモリ装置。

【請求項22】 請求項19に記載の半導体メモリ装置において、

前記第1反転手段は、前記感知ノードと前記ラッチ手段との間に接続された複数の3状態インバータを備えていることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、より詳細には、半導体メモリ装置の製造工程中に発生した欠陥メモリブロックを救済するための自動欠陥ブロックマッピング機能を備えた冗長回路に関する。

【0002】

【従来の技術】半導体メモリ装置を製造する際、よりよい収率を得るように考慮することは非常に重要な問題である。従来、半導体メモリ装置において、いくつかの欠陥メモリセル、さらに厳密には一つの欠陥セルだけでも存在すると、そのメモリ装置は製品として使用することはできない。しかし、電話機の自動応答のような特定技術分野などでは、可能な限り低価格の製品を生産するため欠陥セルを有したDRAM、SRAM、EEPROM装置が使用されることもある。

【0003】高集積半導体メモリ装置の製造時に欠陥セルが生じる確率は、低い集積率の半導体メモリ装置を製造する時よりも高くなる。すなわち、半導体メモリ装置が高集積化されると、その製造工程上には多くの困難が随伴してしまいメモリ装置がくず等によってより大きな悪影響を受け収率を一層低下させてしまう。このような、メモリ装置の高集積化による収率低下を改善するため、いろいろな試みが実施されている。高い収率を得るためには勿論、メモリ装置の製造において、欠陥セルの発生を可能な限り防止できるように製造工程を改善することが一番望ましい。しかし、このような努力には限界がある。従って、収率改善のためいろいろな技術が提案され、この中には、メモリ装置の構造を改良して製造過程で発生した欠陥領域を救済する技術が開発されている。

【0004】メモリ装置の構造を改良した技術としてよく知られているのが冗長技術である。この冗長技術を備えたメモリ装置には、二進データを貯蔵するための主メモリセルアレイが設けられ、この主メモリセルアレイの各行方向と列方向に予備メモリセルアレイが配置されている。主メモリセルアレイの検査過程において、数個または数千個の欠陥セルが発見されると、これらは予備メモリセルによって代替される。これによって全体チップは、欠陥のない製品として維持される。万一、予備メモリセルの個数を超過して欠陥セルが発生すると、そのメモリ装置は補修することができないため破棄されてしまう。

【0005】従来、主セルアレイの行上に存在した欠陥セルと代替される予備セルアレイは、行冗長アレイと呼ばれ、さらに列上に存在した欠陥セルと代替する予備セルアレイを列冗長アレイと称している。欠陥メモリセルを冗長メモリセルに代替するためには、欠陥セルの位置情報、すなわち、修理アドレスを貯蔵するための回路と外部から入力されたアドレスが修理アドレスと一致するかを判別する回路が必要である。このような回路と上述した予備セルアレイは、一般的に冗長回路と称されている。行冗長回路は、任意の行アドレスを解読するとともに、そのアドレスが格納された修理行アドレス中の一つと一致する時、その領域を冗長セルアレイの対応した行領域に代替する機能を実行する。列冗長回路も上述した行冗長回路と同様に、列アドレスと格納された修理列アドレスを比較して欠陥を持つ主セルアレイの列領域を冗長セルアレイの対応する列領域に各々代替する機能を実行している。

【0006】図12は、冗長回路を備えた従来の半導体メモリ装置を示したブロック図である。この図12に示すように、従来の半導体メモリ装置は、512個の行ブロックMACK0~MCBK511で構成された主メモリセルアレイ210と、この主メモリセルアレイ210のブロックに各々対応する512個の行デコーダMRD0~MRD511により構成された主行デコーダ回路218と、16個の予備行ブロックRCBK0~RCBK15で構成された行冗長アレイ212と、この行冗長アレイ212の各行ブロックに対応する16個の予備行デコーダRRD0~RRD15により構成された予備行デコーダ回路220と、特定行ブロックを選択するブロック選択信号を発生する行アドレスデコーダ回路214と、修理行アドレスを格納するための行アドレス貯蔵ブロック216とを備える。

【0007】また、図12には図示されていないが、メモリ装置には主メモリセルアレイ210の一侧に配置される列冗長アレイ、感知増幅器回路、列デコーダ回路、予備列デコーダ回路、データ入出力バッファ回路、データ入出力選択回路、アドレスバッファ、ラッチ回路、および書込/読出制御回路が設けてある。

【0008】図12に示すように、行アドレスデコーダ回路214は、行アドレス信号を受入れて、この信号を解読して主メモリセルアレイ210の特定行ブロックを選択するブロック選択信号を発生させる。行アドレス貯蔵ブロック216は、主メモリセルアレイ210の欠陥行ブロックの位置を示す修理行アドレスを格納し、入力された行アドレスが格納された修理アドレスと一致した場合、その欠陥行ブロックの選択が成立しないように動作する。即ち、行アドレスが主メモリセルアレイ210のいずれかの欠陥行ブロック（例えば図12に示すMBCKK）を指定した場合、その欠陥行ブロックの選択が成立しないように欠陥行ブロックと対応する予備行デコー

ダ(図12に示すMRDk)を非活性化させるとともに、欠陥行ブロックに対応する予備行ブロックが選択できるように予備行ブロックと対応する予備行デコーダを活性化させる。

【0009】主行デコーダ回路218は、行プリデコーダ回路214からのブロック選択信号によって主メモリセルアレイ210のブロック選択ライン(図示せず)を選択的に駆動させ主メモリセルアレイ210の行ブロック中のいずれかが選択されるように機能する。また、予備行デコーダ回路220は、行アドレス貯蔵ブロック216からの予備ブロック選択信号によって行冗長アレイ212のブロック選択ライン(図示せず)を選択的に駆動させ、この行冗長アレイ212の行ブロック中のいずれかを選択させる。これにより、データを格納するための主メモリセルアレイ210に発生した行方向への欠陥領域(欠陥行ブロック)は行冗長アレイ212による行方向の領域(予備行ブロック)によって代替される。

【0010】従来、このような冗長技術において、修理アドレスを貯蔵する行アドレス貯蔵ブロック216は、不揮発性メモリの特性を備えていなければならなかった。この問題を解決するため、修理行アドレス貯蔵回路216に金属、ポリシリコンにより形成した複数のヒューズを具備するヒューズ回路を使用した技術と、PROM、EPROM、EEPROMなどの不揮発性メモリを使用した技術とがよく知られている。このような冗長技術において最も広く使用されているものはヒューズ回路である。

【0011】従来のヒューズ回路は、プログラム回路とも呼ばれているが、その理由はヒューズを選択的に熔融切断することによって修理アドレスがプログラム(格納)されるからである。このようなヒューズ回路を利用して修理アドレスをプログラムする方法には次の二つがある。一つの方法は、レーザービームを利用してヒューズを選択的に熔融切断することによって修理アドレスのプログラミングを実行するレーザープログラミングである。他のもう一つの方法は、選択されたヒューズに大電流を供給することによって選択的に熔融切断し、これにより修理アドレスのプログラミングが実行される電氣的プログラミングである。

【0012】レーザープログラミングは、半導体メモリ装置の製造工程でウエハ工程が完了しパッケージング工程が実行される前に主メモリセルアレイ検査過程で欠陥セルが発見されると実行される。このプログラミング技術は、パッケージング後には実行することができない。一方、電氣的プログラミングは、パッケージング以前の段階でプログラミングが実行できるとともに、パッケージング後にも実行することができる長所を持っている。しかし、電氣的プログラミングにおいてパッケージング工程以前の段階でプログラミングを実行させるためには、大電流を印加するための別途のパッドが必要にな

り、また、パッケージング後にもプログラミングを実行するための電流印加用ピンが必要になる。これにより、修理アドレスを格納する行アドレス貯蔵ブロック216のレイアウト面積が増加する。従って、プログラミング技術において、集積化の側面から見るとレーザービームプログラミング技術が不利になる。また、PROM、EPROM、EEPROMなどの不揮発性メモリを使用する技術は、パッケージング後にも修理アドレスのプログラミングが可能であり、ヒューズを使用する技術に比べて電力消耗が少ないという長所を持っている。しかし、行アドレス貯蔵ブロック216も半導体メモリセルに形成されているため、その回路自体に欠陥が発生したり、バンイン検査後に特性が変化すると、例えば、高電圧などによって修理アドレス情報が損傷された場合、半導体メモリ装置が誤動作を起こしてしまう。従って、不揮発性メモリを使用する技術は、ヒューズ熔融技術に比べて、メモリ装置の信頼性を低下させてしまう短所を持っている。

【0013】一般的に、PROM、EPROM、EEPROMなどのような不揮発性半導体メモリ装置、特にフラッシュメモリ装置は、パッケージング後にもプログラミング可能な適用特性により、主メモリセルアレイ210の欠陥セルの個数が行冗長アレイ212のセルの個数を超過しても使用できる。従って、例えば図12に示すようにk番目行ブロックが欠陥行ブロックと仮定すると、そのメモリ装置の使用者にはメモリ装置が一つの欠陥行ブロックを持つという情報が提供される。この情報により、欠陥行ブロックの位置を検査した後、該当する欠陥行ブロックがアクセスされないように欠陥ブロックマッピングを実行することによりメモリ装置が使用可能となる。

【0014】

【発明が解決しようとする課題】しかしながら、従来の半導体メモリ装置では、メモリ装置内の欠陥領域の位置が不確定であるため、欠陥領域を有したメモリ装置を使用する場合、製品ごとに欠陥領域の位置を調査し、それに適合した欠陥ブロックマッピングを実行しなければならなかった。従って、従来の技術によると、少なくとも一つの欠陥領域を有するメモリ装置を使用するために、各メモリ装置ごとにそれに適合した欠陥行ブロックマッピングを実行しなければならない不具合があった。本発明は上述のような問題点を改善し、欠陥セルを救済できる自動ブロックマッピング機能を具備するとともに、半導体のパッケージング後にも欠陥セルの救済が可能な冗長回路を備えた半導体メモリ装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は上述の課題を解決するために、複数の主行ブロックおよび主行ブロックに対応する複数の主ブロック選択ラインを備えたデータ

を格納する主貯蔵手段と、複数の予備行ブロックおよび予備行ブロックに対応する複数の予備ブロック選択ラインを備え主貯蔵手段と対応させ配置し欠陥行ブロックの代替ブロックとして機能する予備貯蔵手段と、主貯蔵手段および予備貯蔵手段内の少なくともいずれかに存在する欠陥行ブロックの数が予備貯蔵手段の無欠陥ブロックの数を超過し代替されない超過欠陥ブロックを主貯蔵手段内に配列した一群の無欠陥ブロックにより代替するブロックマッピング手段とを設ける。

【0016】ここで、ブロックマッピング手段は、欠陥行ブロックと代替される主貯蔵手段の無欠陥ブロックは最上位アドレスから代替し、この代替された上位アドレスを除外した行アドレスを使用させる。またブロックマッピング手段は行アドレスを解読し複数の主行ブロック選択信号を発生する行プリデコード手段と、主行ブロックの欠陥有無に関するブロック欠陥状態情報を格納するフラグ貯蔵手段と、フラグ貯蔵手段に格納されたブロック欠陥状態情報を感知し増幅およびラッチする感知増幅器手段と、感知増幅器手段からのブロック欠陥状態情報によって複数の修理ブロック選択信号を発生するフラグデコード手段と、主行ブロックに対応し主行ブロック選択信号および修理ブロック選択信号により主ブロック選択ラインを選択的に駆動する複数の主行デコードと、予備行ブロックに対応し修理ブロック選択信号により予備ブロック選択ラインを選択的に駆動する複数の予備行デコードと、フラグデコード手段からの修理ブロック選択信号により主貯蔵手段の欠陥行ブロックに対応する主行デコードを活性化させるブロック選択制御手段とを設ける。

【0017】

【発明の実施の形態】次に添付図面を参照して本発明による半導体メモリ装置の実施の形態を詳細に説明する。図1は、本発明による半導体メモリ装置の実施の形態を示すブロック図である。この図1に示すように、本発明による半導体メモリ装置の実施の形態は、従来の技術と同様に512個の主行ブロックMCBK0～MCBK511により構成された主メモリセルアレイ10と、16個の冗長ブロックRCBK0～RCBK15により構成された行冗長アレイ12とを設けてある。また本実施の形態は、従来技術のような行修理アドレスを格納する回路がない代りに、欠陥行ブロックを自動的に無欠陥ブロックに代替するブロックマッピング回路を具備する。このブロックマッピング回路は、行プリデコード回路14、主行デコード回路18、予備行デコード回路20、フラグセルアレイ22、フラグセル感知増幅器回路24、フラグデコード回路26およびブロック選択制御回路28により構成される。

【0018】行プリデコード回路14は、行アドレス信号に応じて主メモリセルアレイ10の特定行ブロックを選択するためブロック選択信号P／、R／、Q／（／＝

0～7）を発生する。主行デコード回路18は、主メモリセルアレイ10の行ブロックに対応する512個の主行デコードMRD0～MRD511により構成される。予備行デコード回路20は、行冗長アレイ12の各行ブロックに対応する16個の行デコードRRD0～RRD15により構成されている。また、フラグセルアレイ22は、フラグ行ブロックFCBK0～FCBK511により構成され、主行ブロックMCBK0～MCBK511の欠陥有無に関するブロック欠陥状態情報を格納する。

【0019】フラグセル感知増幅器回路24は、フラグセルアレイ22に格納された情報を感知して増幅する。フラグデコード回路26は、フラグセル感知増幅器回路24からのブロック欠陥状態情報SO_i（i＝0、1、…、4）によって31個の修理ブロック選択信号F_j／バー（j＝0、1、…、30）を発生する。また、ブロック選択制御回路28は、フラグデコード回路26からの修理ブロック選択信号F_j／バーに応じて主行ブロックMCBK0～MCBK511に対応する主行デコードMRD0～MRD511を非活性化させる。

【0020】このようなブロックマッピング回路によると、主メモリセルアレイ10で発生した欠陥行ブロックは行冗長アレイ12の無欠陥行ブロックと代替される。しかし、主メモリセルアレイ10と行冗長アレイ12との少なくともいずれかに存在する欠陥行ブロックの数が、代替される行冗長アレイ12の無欠陥行ブロックの数を超過してしまう場合、超過した欠陥行ブロックは主メモリセルアレイ10内の連続的に配列した一群の無欠陥行ブロックと代替される。この際、代替する無欠陥行ブロックは、主メモリセルアレイ10の上位主行ブロック（図1に示すMCBK511）から順に代替される。これによって、使用者は超過する欠陥行ブロック数の情報によって、最下位のブロックから代替されて上位のブロックに配列した欠陥行ブロックを除外し残ったブロックの行アドレスを使用すればよい。従って、従来のような欠陥ブロックマッピングが不必要になる。

【0021】図2は、図1に示した主メモリセルアレイ10と主行デコード回路18およびフラグセルアレイ22の詳細を示す回路図である。この図2に示すように、主行メモリセルアレイ10は、512個の主行ブロックMCBK0～MCBK511およびこの主行ブロックに各々対応する512個の主ブロック選択ラインMBSL0～MBSL511を有している。主行ブロックMCBK0～MCBK511は、セルアレイがEEPROMを用いてNAND構造に構成されている。各主行ブロックMCBK0～MCBK511には、行方向に16個のワードラインWL0～WL15が伸長されている。また、列方向には複数のビットラインBL0～BL_yが伸長されている。主行ブロックMCBK0～MCBK511は、複数のセルストリング32とゲート回路34とを具

備している。セルストリング32は、対応するビットラインと、所定の基準電圧を供給する共通ソースラインCSSLの間に各々接続されている。また、セルストリング32は、ストリング選択ラインSSLの電圧レベルにより、対応するビットラインに選択的に接続される。

【0022】ゲート回路34は、対応する主ブロック選択ラインMBSL_m ($m=0\sim511$) の電圧レベルによって、外部信号SS1、S0~S15、SS2を、ストリング選択ラインSSL、ワードラインWL0~WL15および基準電圧選択ラインGSSLに選択的に接続させる。各セルストリング32には、選択トランジスタST1、ST2が設けてある。選択トランジスタST1は、電流通路が対応するビットラインに接続され、ゲートがストリング選択ラインSSLに接続されている。他の選択トランジスタST2は、電流通路が共通ソースラインCSSLに接続され、ゲートが基準電圧選択ラインGSSLに接続されている。2つの選択トランジスタST1、ST2の電流通路の間には、16個のセルトランジスタMC1~MC16の電流通路が直列に接続され、それらのゲートはワードラインWL0~WL15に各々接続される。

【0023】主行デコード回路18は、主行デコードMRD0~MRD511からなり、行プリデコード回路14からのブロック選択信号P $\overline{/}$ 、R $\overline{/}$ 、Q $\overline{/}$ ($\overline{/}=0\sim7$) およびフラグデコード回路26からの修理ブロック選択信号F $\overline{j/}$ バーにより対応する主ブロック選択ラインMBSL_mの電圧レベルを変化させるゲート制御回路36を具備する。このゲート制御回路36は、行プリデコード14からの主ブロック選択信号P $\overline{/}$ 、R $\overline{/}$ 、Q $\overline{/}$ ($\overline{/}=0\sim7$) を受入れるNANDゲート回路38と、このNANDゲート38回路の出力とフラグデコード26からの修理ブロック選択信号F $\overline{j/}$ バー ($j=0\sim30$) とを受入れて主ブロック選択ラインMBSL_mに出力を供給するNANDゲート回路40とから構成される。各主行デコードMRD_mには、主行ブロックおよびフラグ行ブロックを非選択する際、対応する主行ブロックおよびフラグ行ブロックのストリング選択ラインSSL、FSSLに接地電圧(V_{ss})を供給するための回路42が設けられている。この回路42は、1つのインバータ回路44と2つのトランジスタ46、48から構成される。なお、NANDゲート回路40の出力には、高電圧スイッチポンプ回路50が接続されている。

【0024】また、フラグセルアレイ22は、行方向に伸長する2本のフラグワードラインFWL0、FWL1、接地電圧のような所定の基準電圧を供給するための共通ソースラインFCSL_m ($m=0\sim511$)、列方向に伸長する5本のフラグビットラインFBL0~FBL4、この5本のフラグビットラインFBL0~FBL4の各々と共通ソースラインFCSL_m間に接続されたセルストリング52a、52b、52c、対応するフラ

グブロック選択ラインFBSL_m ($m=0\sim511$) の電圧レベルによって外部信号をストリング選択ラインFSSLとフラグワードラインFWL0、FWL1および接地選択ラインFGSLに接続させるゲート回路54により構成される。このフラグセルアレイ22で、各フラグブロックのブロック選択ラインFBSL_mは対応する主行デコードのゲート制御回路36の出力に接続されている。従って、各ブロックのゲート回路54も、前述した主メモリセルアレイ10のゲート回路34と同様に対応する主行デコード回路18のゲート制御回路36によって制御される。

【0025】また、各フラグビットラインFBL0~FBL4には、3つのセルストリング52a、52b、52cが並列に接続される。このセルストリング52a、52b、52cは、主メモリセルアレイ10と同様に選択トランジスタFST1の電流通路が対応するフラグビットラインFBL_i ($i=0\sim4$) に接続される。また、選択トランジスタFST1のゲートは、ストリング選択ラインFSSLに接続される。他の選択トランジスタFST2は、電流通路が共通ソースラインFCSLに接続され、ゲートは基準電圧選択ラインである接地選択ラインFGSLに接続される。さらに、各セルストリング52a、52b、52cでは、EEPROMからなるメモリセルトランジスタFMC1~FMC4のゲートがフラグワードラインFWL0に共通に接続されており、他のメモリセルトランジスタFMC5~FMC16のゲートはフラグワードラインFWL1に共通に接続される。

【0026】このような記載から明らかになるように、フラグセルアレイ22のフラグ行ブロックFCBK_m ($m=\sim511$) は、主メモリセルアレイ10の主行ブロックMCBK_m ($m=\sim511$) とは多少異なる。それは、フラグ行ブロックFCBK_mは、一つのフラグビットラインに3つのセルストリング52a、52b、52cが並列に接続された点である。このような構造によると、欠陥行ブロック検出時にオンセル感知(on-cell sensing)が速くなる。これは欠陥行ブロックが無欠陥ブロックによって代替される時間を短縮させる効果を得ることができる。また、このような構造は一つあるいは2つのストリングで欠陥が発生したとしても余りの一つのストリングによりEEPROM装置の欠陥を救済することができる。

【0027】また、フラグ行ブロックFCBK_mは、通常のNAND型セルアレイとは異なり、各セルストリング52の4つのフラグワードラインが共通接続されて選択フラグワードラインとして使用されており、残り12個のフラグワードラインが、共通に接続されて非選択ワードラインとして使用される。このような構造は、オフセル感知(off-cell sensing)の際に一つのストリングと関連して4つのセルが選択される

時、これらの3つのセルが欠陥セルであっても残った一つのセルによりオフセル感知を可能にする。従って、本発明による半導体メモリ装置の実施の形態によると、製造において従来の不揮発性半導体メモリを使用する修理アドレス貯蔵技術に比べて高い信頼性を持つ冗長回路を得ることができる。

【0028】図3は図2に示したフラグセルアレイ22のプログラミングおよび消去動作でのバイアス条件を示す図であり、図4は図2に示したフラグセルアレイ22のプログラミング動作での主メモリセルアレイ10のバイアス条件を示す図である。この図3および図4に示すように、欠陥行ブロック情報を格納するためフラグセルアレイ22がプログラム動作を実行する際に主メモリセルアレイ10が非活性状態になることがわかる。

【0029】そして、以上のようなメモリ装置においては、主メモリセルアレイ10内で欠陥行ブロックが発生すると、その欠陥行ブロックは次のように救済される。まず、フラグセルアレイ22の消去動作を実行し各フラグ行ブロックのセルをオンセル状態にする。この消去動作では、該当フラグブロックのセル全体が消去される。その後、各ビットライン別に、選択的なプログラミング動作を実行することになる。この際、プログラミングパターンは欠陥ブロックの個数によって決定される。このプログラミング動作では、該当ビットラインに接続されたストリング全体がプログラムされる。

【0030】フラグセルアレイ22には、この列では5つのフラグビットラインFBL0～FBL4が設けられるので32(2⁵)のプログラミングパターンを想定することができる。しかし、プログラミングパターンには、いずれかの欠陥行ブロックも存在しない正常状態を表示するパターンを含んでいるため、実質的なプログラミングパターンの数は31種類である。いまた例えば、図5(欠陥行ブロックに対応するフラグセルブロックのプログラミングパターンを示す図)に示すように、チップ検査で18個の欠陥行ブロックが発見されると、該当ブロックに対応するフラグセルアレイ22のセルに18種類の別なパターンが各々プログラムされる。このパターンには、無欠陥(正常的)ブロック(RCBK0～RCBK15、MCBK511、MCBK510)が各々対応している。

【0031】本実施の形態においては、冗長ブロックRCBK0～RCBK15が16個のみ供給されている。上述のように、18個の欠陥行ブロックが発見された場合には、16個の欠陥行ブロックに対して冗長ブロックRCBK0～RCBK15が各々割当られ、残りの欠陥行ブロック(すなわち、2つの欠陥行ブロック)に対しては主メモリセルアレイ10の最上位主行ブロックMCBK511から順次割当てられる。従って、18個の欠陥行ブロックは、フラグセル感知増幅器回路24とフラグデコーダ回路26とにより、対応する無欠陥ブロッ

ク(RCBK0～RCBK15、MCBK511、MCBK510)と各々代替される。このように、欠陥行ブロックの個数が予備行ブロックの個数を超過する場合には、超過した欠陥行ブロック(冗長ブロックによって補修され残る欠陥ブロック)は主行ブロックによって各々代替される。この時、欠陥行ブロックは最上位の主行ブロック(MCBK511)から順に代替される。これにより、全てのチップごとに欠陥ブロックマッピングを実行しなければならない従来技術の問題を解決することができる。

【0032】すなわち、あるチップの欠陥ブロック数の情報が供給されると、そのチップに対して使用者が欠陥ブロックマッピングを実行しなくても、超過した欠陥行ブロックの冗長ブロックとして主メモリセルアレイ10の上位主行ブロックMCBK511、MCBK510が使用される。この上位主行ブロックMCBK511、MCBK510を除外した残りの主行ブロックMCBK0～MCBK510の行アドレスが使用可能なブロックになる。たとえば、行冗長アレイ12の救済から5つの欠陥行ブロックが超過した場合、主メモリセルアレイ10の5つの上位主行ブロックMCBK507～MCBK511が欠陥行ブロックの救済に使用されるため使用者は主メモリセルアレイ10の最下位の行アドレスから主行ブロックMCBK506の行アドレスまでを使用することが可能となる。

【0033】このように欠陥行ブロックが存在すると、欠陥行ブロックに対応するフラグ行ブロックFCBK0～FCBK511にブロック欠陥状態情報が格納される。これにより欠陥行ブロックを救済する動作が実行され、チップ動作時には欠陥行ブロックの代りに正常ブロックが選択される。

【0034】次に、欠陥行ブロックが正常ブロックに代替される修理動作を詳細に説明する。図6は、図1に示したフラグセル感知増幅器24の詳細を示す回路図である。この回路において、トランジスタとしては、後述する一部を除き、エンハンスメント型のMOSFETが使用される。この図6に示すように、フラグセル感知増幅器24は、電流原60、分離回路70、3状態インバータ回路80、ラッチ回路90、およびインバータ回路100で構成される。一つのフラグビットラインFBLiに対応する感知ノードSENSEiには、感知電流を供給するための電流源としてPMOSTランジスタ62が接続されており、このトランジスタ62のゲートは、外部制御信号vrefに接続されている。分離回路70は、デプレッション型のNMOSTランジスタ72とNMOSTランジスタ74とで構成される。このトランジスタ72、74の電流通路は、対応するフラグビットラインFBLiと感知ノードSENSEiの間に直列に接続されており、それらのゲートは外部制御信号BLSHF1、BLSHF2に各々接続される。

【0035】3状態インバータ回路80は、2つのPMOSTランジスタ81、82と、2つのNMOSTランジスタ83、84と、インバータ85とにより構成される。トランジスタ81、82、83、84の電流通路は電源電圧(Vcc)と接地電圧(Vss)の間に直列に接続される。インバータ85は、外部制御信号(LEN)を受入れるようになっている。また、トランジスタ81、84のゲートは、インバータ85の出力と外部制御信号(LEN)に各々接続されている。トランジスタ82、83のゲートは、対応する感知ノードSENSE_iに共通に接続される。ラッチ回路90は、2つのインバータ92、94により構成される。このインバータ92の入力端子とインバータ94の出力端子はトランジスタ82、83の接続ノード86に共通に接続されており、インバータ92の出力端子とインバータ94の入力端子は互いに接続されている。インバータ92の出力端子とインバータ94の入力端子には、インバータ101の入力端子が接続されている。

【0036】このような構成のフラグセル感知増幅器回路24で、電流源60は外部信号vrefに依じて5つのフラグビットラインFBL0~FBL4に対応する5つの感知ノードSENSE0~SENSE4に感知電流を供給する。感知ノードSENSE0~SENSE4とフラグビットラインFBL0~FBL4との間に配置した分離回路70は、外部制御信号BLSHF1、BLSHF2に依答して電流源60からの感知電流をフラグビットラインに選択的に供給する。3状態インバータ回路80は、外部制御信号LENに依じてノード86の電圧レベルを各々反転させる。ラッチ回路90は、3状態インバータ回路80の出力信号をラッチし、この出力信号をブロック欠陥状態信号SO_iとして出力する。ラッチ回路90の出力は、インバータ101によって反転される。従って、フラグセル感知増幅器回路24からは、ブロック欠陥状態信号SO_iおよびこれらの反転信号SO_i/バーが出力される。

【0037】図7は、図1に示したフラグデコード回路26の詳細を示す回路図である。この図7に示すように、フラグデコード回路26は、フラグセル感知増幅器回路24からのブロック欠陥状態信号SO_iおよびその反転信号SO_i/バーの内から所定の信号を受入れるNANDゲート110~116と、このNANDゲート110~116の出力のうち所定の信号を受入れるNORゲート118~120と、このNORゲート118~120の出力を受け修理ブロック選択信号F_j/バー(j=0~30)を出力するインバータ122~124で構成される。

【0038】図8は、ブロック欠陥状態信号SO_iによって活性化される修理ブロック選択信号F_j/バー(j=0~30)およびこの修理ブロック選択信号によって欠陥行ブロックの代替のために選択される正常ブロック

(RCBK0~MCBK497)のブロックマッピングを示す。この図8に示すように、例えば、SO4~SO0が'10000'であると、修理ブロック選択信号F16/バーが活性化される。これによって、主メモリセルアレイ10上のいずれかの欠陥行ブロックは、主行ブロックMCBK511によって代替される。

【0039】図9は、図1に示したブロック選択制御回路28の詳細を示す回路図である。この図9に示すように、ブロック選択制御回路28は、フラグデコード回路26からの修理ブロック選択信号F_j/バー(j=0~30)中所定の信号が入力されるNANDゲート126~132およびNANDゲート140~146と、このNANDゲート126~132の出力中所定の出力が入力されるNORゲート134、136およびNANDゲート140~146の出力中所定の出力が入力されるNORゲート148、150と、このNORゲート134、136の出力が入力されるNANDゲート138およびNORゲート148、150の出力が入力されるNANDゲート152と、さらにこのNANDゲート138、152の出力が入力され、行デコードディスエーブル信号XDdis/バーを発生させるNANDゲート154とにより構成される。

【0040】図10は、図1に示した行アリデコード回路14の詳細を示す回路図である。この図10に示すように、行アリデコード回路14は、行アドレス信号A12~A14およびこの反転信号A12/バー~A14/バー中所定の信号が入力されるNANDゲート156~158と、このNANDゲート156~158の出力P0/バー~P7/バー中所定の出力が入力され第1のブロック選択信号P0~P7を出力するインバータ160~162とが設けられる。また、行アリデコード回路14は、行アドレス信号A15~A17とこの反転信号A15/バー~A17/バーおよびブロック選択制御回路28から発生する行ブロックディスエーブル信号XDdis/バー中の所定の出力が入力されるNANDゲート164~166と、このNANDゲート164~166の出力Q0/バー~Q7/バー中所定の出力が入力され第1のブロック選択信号Q0~Q7を出力するインバータ168~170が設けられる。さらに、行アリデコード回路14は、行アドレス信号A18~A20およびこの反転信号A18/バー~A20/バー中所定の信号が入力されるNANDゲート172~174と、このNANDゲート172~174の出力R0/バー~R7/バー中所定の出力が入力され第3のブロック選択信号R0/バー~R7/バーを出力するインバータ176~178とが設けられる。

【0041】以上のようなメモリ装置においては、たとえば、主メモリセルアレイ10の1番目の主行ブロック(図1のMCBK0)が行冗長アレイ12の代替から超過した17番目の欠陥行ブロックだと仮定すると、主行

ブロック(MCBK0)に対応するフラグ行ブロック(FCBK0)がパターン'10000'(図5参照)でプログラムされる。従って、欠陥を持つ主メモリセルアレイ10内の1番目主行ブロック(MCBK0)がフラグ行ブロック(FCBK0)の情報によって最上位の正常的な主行ブロック(MCBK511)に代替される。

【0042】次に、主メモリセルアレイ10の欠陥行ブロックを正常ブロックに代替する動作での読出動作を詳細に説明すると次の通りである。図11は、図1に示した半導体メモリ装置の読出動作を示すタイミング図である。この図11に示すように、命令およびアドレスを入力する間において、命令ラッチイネーブル信号CLEと、書込イネーブル信号WEとによって命令が入力される。この命令が読出命令である場合、メモリ装置は読出動作モードに切替えられる。また、命令の入力後には、アドレスラッチイネーブル信号ALEと書込イネーブル信号WEとによって、3つのアドレス入力サイクル中に入出力ラインIO0~IO7を介した21ビットのアドレスAdd1、Add2、Add3の入力を実行する。1番目のサイクルからは、8ビットのアドレスAdd1(A0~A7)が入力される。また、2番目のサイクルでは、8ビットのアドレスAdd2(A8~A15)が入力され、最後のサイクルからは5ビットのアドレスAdd3(A16~A20)が各々入力される。

【0043】上述と同様に、主メモリセルアレイ10の1番目の主行ブロックMCBK0が行冗長アレイ12の代替から超過した17番目の欠陥ブロックと仮定し、1番目の主行ブロックMCBK0を指定するアドレスが入力されると、行アドレスデコード回路14(図10参照)の出力P0、Q0、R0が活性化され主行デコードMRD0が選択されるとともに、対応するフラグ行ブロックFCBK0の感知動作が実行される。一方、命令およびアドレスを入力する間には、図6のフラグビットラインFBL0~FBL4は電流原60から供給された電流によってデプレッション型NMOSTランジスタ72のスレシヨルド電圧(約-2V)ほどプリチャージされる。この際、デプレッション型NMOSTランジスタ72のゲートには、図11に示すように接地電圧Vssが印加されるので、フラグビットラインFBL0~FBL4が2Vにプリチャージされ、感知ノードSENSE0~SENSE4は電源電圧Vccにプリチャージされる。

【0044】次に、アドレスの入力が完了すると、電流源として使用されるPMOSTランジスタ62のゲートに供給される外部制御信号Vrefが接地電圧Vssから1.5Vに遷移され、感知動作のための電流の供給が中断される。ここで、主行ブロックMCBK0に対応するフラグ行ブロックFCBK0は、図8に示すようにパターン'10000'でプログラムされるためフラグビットラインFBL4に接続されたフラグセルはオフセ

ル状態にある。また、残りのフラグビットラインFBL3~FBL0に接続されたフラグセルは、オンセル状態にある。従って、フラグビットラインFBL4およびこれに対応する感知ノードSENSE4のプリチャージ電圧レベルは各々そのまま維持され、フラグビットラインFBL3~FBL0およびそれらに対応する感知ノードSENSE3~SENSE0は放電し、それらの電圧レベルが接地電圧Vssまで降下する。17番目の欠陥行ブロックである主行ブロックMCBK0に対応するフラグ行ブロックFCBK0は、パターン'10000'でプログラムされているため感知ノードSENSE4の電圧レベルは論理的ハイあるいは、Vcc電圧になり、残りの感知ノードSENSE3~SENSE0の電圧レベルは全ての論理的ローあるいは、Vss電圧になる。

【0045】ここで、各フラグビットラインのキャパシタンスが3pFであり、これに接続され一つのフラグセルストリングを介して流れるオンセル電流が5μAであるとする、2Vにプリチャージされている一つのフラグビットラインの電圧レベルが1.8Vまで降下するのに必要とされる時間は、下記の式のように求められる。

【0046】

【数1】

$$t = \frac{C \cdot \Delta V}{I} = \frac{3 \times 10^{-12} \times 0.2}{3 \times 5 \times 10^{-6}} = 40 \text{ (ns)}$$

【0047】図6に示すように、感知ノードSENSEiのキャパシタンスは、フラグビットラインFBLiに比べて小さいので、オンセル感知動作においてフラグビットラインFBLiの電圧レベルが0.2Vだけ降下しても感知ノードSENSEiの電圧レベルは大きな幅でスイング(swing)するため高速感知が可能になる。また、本実施の形態では、一つのフラグビットラインFBLiに3つのフラグストリング52a、52b、52c(図2参照)が並列に接続されているが、一つのフラグビットラインFBLiに接続されるフラグストリングの数を増加させるほどフラグセル電流が更に増加することは明らかである。このようなフラグセル電流の増加は、感知時間の減少をもたらす。従って、フラグストリングの数を増加させることで、欠陥行ブロックを正常ブロックに代替するのに必要とする時間を減少させるという効果が得られる。再び図11を参照すると、感知ノードSENSE4~SENSE0の電圧レベルが発生した際、外部制御信号LENによって3状態インバータ回路80(図6参照)がイネーブルされる。従って、感知ノードSENSE0~SENSE4の電圧レベルは、3状態インバータ回路80によって各々反転され、この3状態インバータ回路80の出力は、ラッチ回路90(図6参照)によってラッチされる。

【0048】図1に示すフラグ行ブロックFCBK0の感知動作が終了すると、感知ノードSENSE4は図1

1に示すように論理的ハイ(Vcc)に維持され残りの感知ノードSENSE0～SENSE3は論理的ロー(Vss)に維持される。従って図6に示すラッチ回路90からは、論理的ハイのブロック欠陥状態信号S00～S03と、論理的ローのブロック欠陥状態信号S04とが出力され、インバータ回路100からはブロック欠陥状態信号S00～S04が出力される。そして、図11および図8を参照すると、このラッチ回路90およびインバータ回路100の出力によって、図7に図示されたフラグデコード回路26の修理ブロック選択信号F16／バーが活性化される。さらに、この修理ブロック選択信号F16／バーにより、図9に示すブロック選択制御回路28の出力信号XDdis／バーも活性化される。これによって、図10に図示したQプリデコード回路(NANDゲート164～166およびインバータ168～170からなる)の出力信号が非活性状態になり、欠陥を持つ主行ブロックMCBK0が選択されなくなる。反面、フラグデコード回路26の修理ブロック選択信号F16／バーにより主行デコードMRD511がイネーブルされることによって、正常な(無欠陥)主行ブロックMCBK511が選択される。

【0049】以上、本発明によってなされた半導体メモリ装置の実施の形態を詳細に説明したが、本発明は前述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。たとえば、本実施の形態をNAND構造を持つフラッシュEEPROMとして説明したが本発明はこれに限定されるものではない。また、本実施の形態として提示されたNANDフラッシュEEPROM装置は外部から入力された命令に応じて動作する装置を説明したが、これに限定されるものではない。

【0050】

【発明の効果】このように本発明の半導体メモリ装置によれば、欠陥ブロックマッピングが自動的に実行されるので、メモリ装置を使用するシステムの性能向上を期待することができる。また、使用者は欠陥行ブロックが代替される主行ブロックの上位行ブロックを除外した残りのブロックに対応する行アドレスを使用すれば良いので、多数の欠陥行ブロックを持つ高密度装置が低密度装置として使用することができる。従って、生産工程での収率を向上させることができる。さらに、本発明による

冗長回路は、不揮発性半導体メモリを使用しているためヒューズ回路を使用した従来の冗長回路に比べて電力消費量を削減できるとともに、いつでも欠陥セルブロックの救済が可能となる。

【図面の簡単な説明】

【図1】本発明による半導体メモリ装置の実施の形態を示すブロック図。

【図2】図1に示した主メモリセルアレイと主行デコード回路およびフラグセルアレイの詳細を示す回路図。

【図3】図2に示したフラグセルアレイのプログラミングおよび消去動作でのバイアス条件を示す図。

【図4】図2に示したフラグセルアレイのプログラミング動作での主メモリセルアレイのバイアス条件を示す図。

【図5】欠陥行ブロックに対応するフラグセルブロックのプログラミングパターンを示す図。

【図6】図1に示したフラグセル感知増幅器の詳細を示す回路図。

【図7】図1に示したフラグデコード回路の詳細を示す回路図。

【図8】欠陥行ブロックと正常ブロックとのマッピングによるプログラミングパターンを示す図。

【図9】図1に示したブロック選択制御回路の詳細を示す回路図。

【図10】図1に示した行プリデコード回路の詳細を示す回路図。

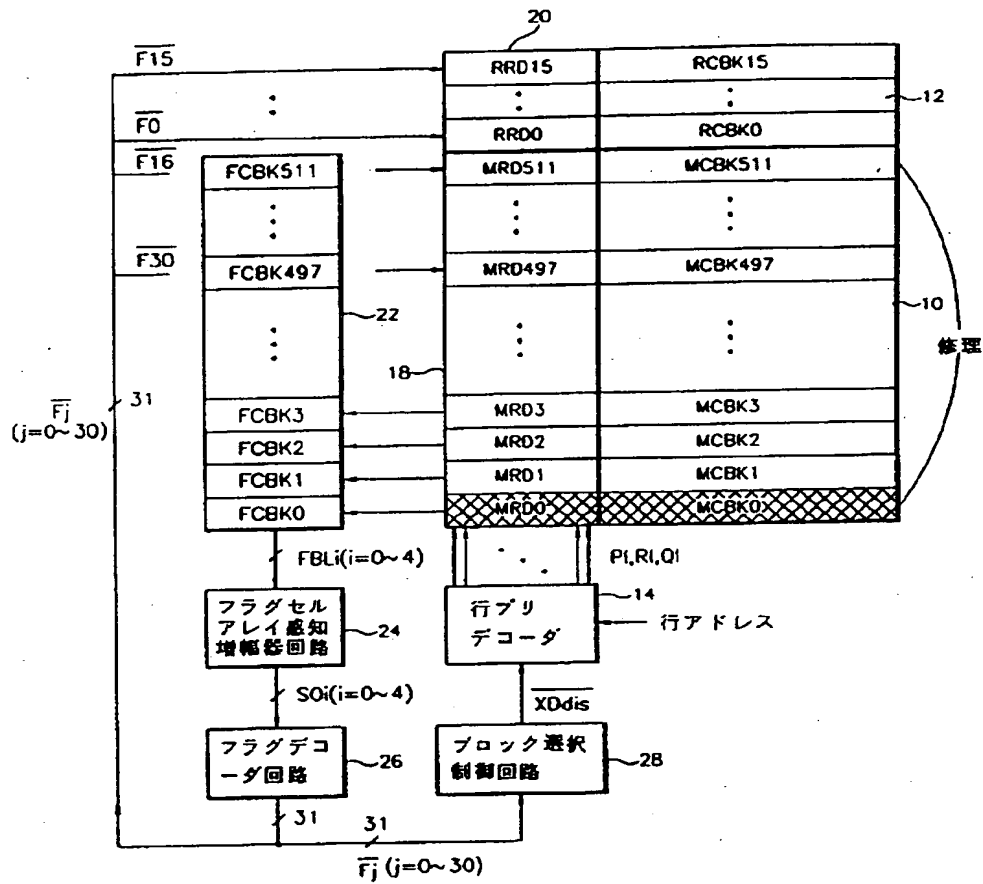
【図11】図1に示した半導体メモリ装置の読出動作を示すタイミング図。

【図12】冗長回路を備えた従来の半導体メモリ装置を示したブロック図。

【符号の説明】

- 10 主メモリセルアレイ
- 12 行冗長アレイ
- 14 行プリデコード回路
- 18 主行デコード回路
- 20 予備行デコード回路
- 22 フラグセルアレイ
- 24 フラグセル感知増幅器回路
- 26 フラグデコード回路
- 28 ブロック選択制御回路

【図1】



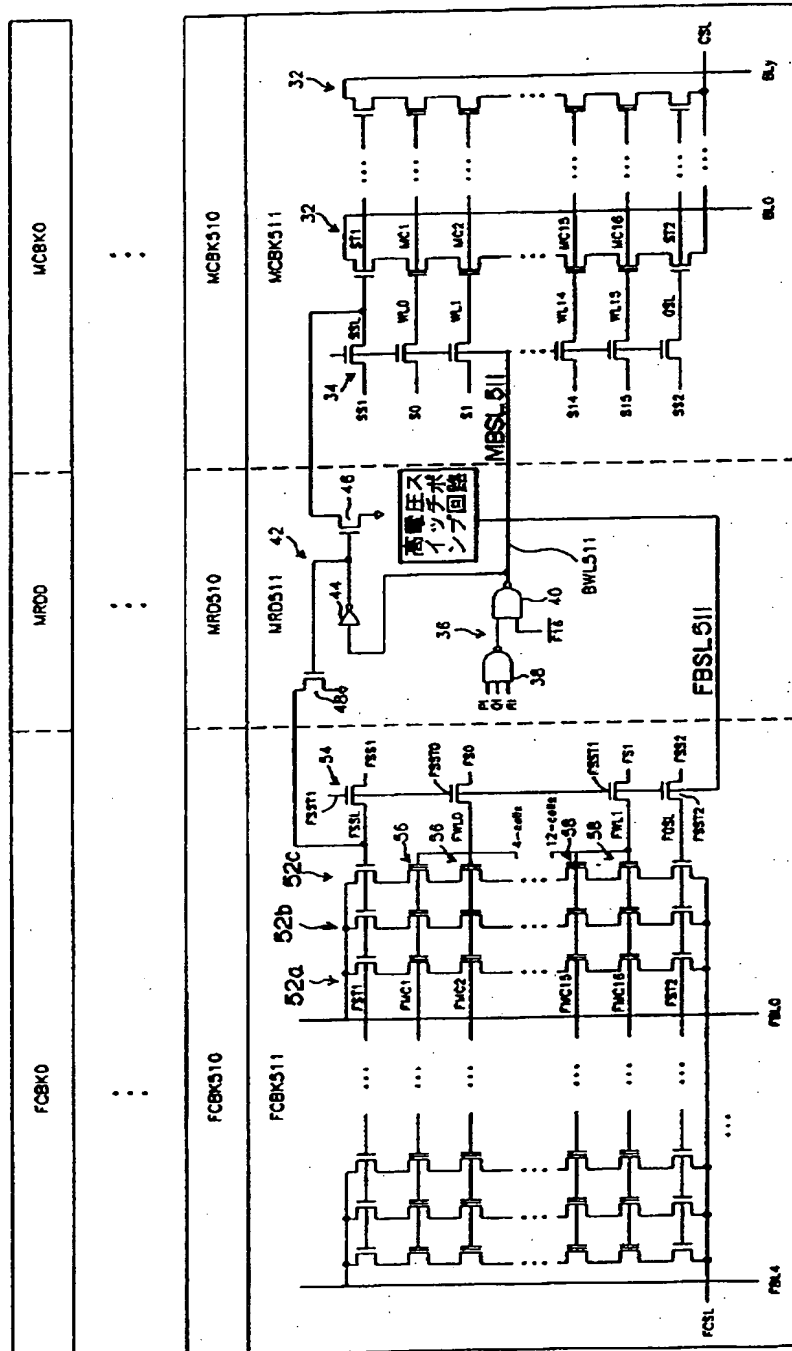
【図3】

信号	プログラミング	消去
MBSL	Vpgm+ΔV	Vcc
FSSL	Vcc	浮動
FS0	Vpgm(18V)	OV
FS1	Vpgm(18V)	OV
FGSL	OV	浮動
FCSL	OV	浮動
FBL(選択)	OV	浮動
FBL(非選択)	OV	浮動

【図4】

信号	プログラミング	消去
MBSL	OV	浮動
SSL	OV	浮動
SO~S15	OV	浮動
GSL	OV	浮動
CSL	OV	浮動
BL	OV	浮動

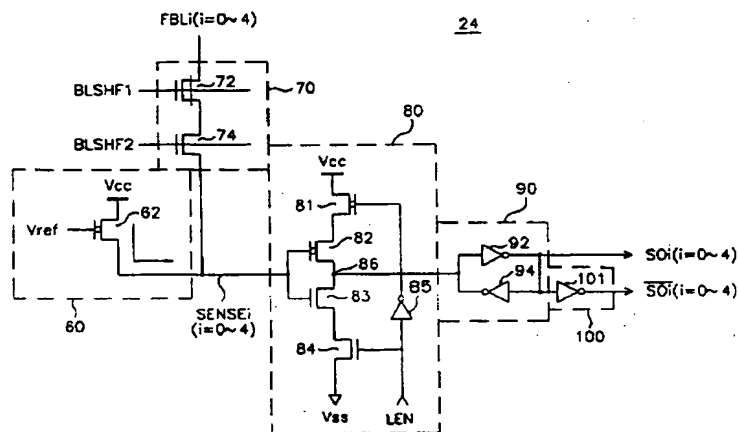
$\xrightarrow{10}$
 $\xrightarrow{18}$
 $\xrightarrow{22}$



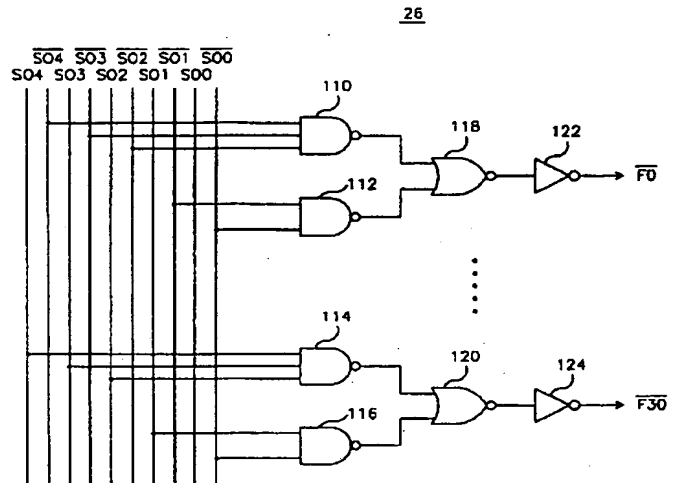
【図5】

欠陥 ブロック数	FBL4	FBL3	FBL2	FBL1	FBL0	代替ブロック
1	0	0	0	0	0	RCEK0
2	0	0	0	0	1	RCEK1
3	0	0	0	1	0	RCEK2
4	0	0	0	1	1	RCEK3
5	0	0	1	0	0	RCEK4
6	0	0	1	0	1	RCEK5
7	0	0	1	1	0	RCEK6
8	0	0	1	1	1	RCEK7
...
16	0	1	1	1	1	RCEK15
17	1	0	0	0	0	MCBK511
18	1	0	0	0	1	MCBK510
...
24	1	0	1	1	1	MCBK504
25	1	1	0	0	0	MCBK503
26	1	1	0	0	1	MCBK502
27	1	1	0	1	0	MCBK501
28	1	1	0	1	1	MCBK500
29	1	1	1	0	0	MCBK499
30	1	1	1	0	1	MCBK498
31	1	1	1	1	0	MCBK497
...
	1	1	1	1	1	正常ブロック

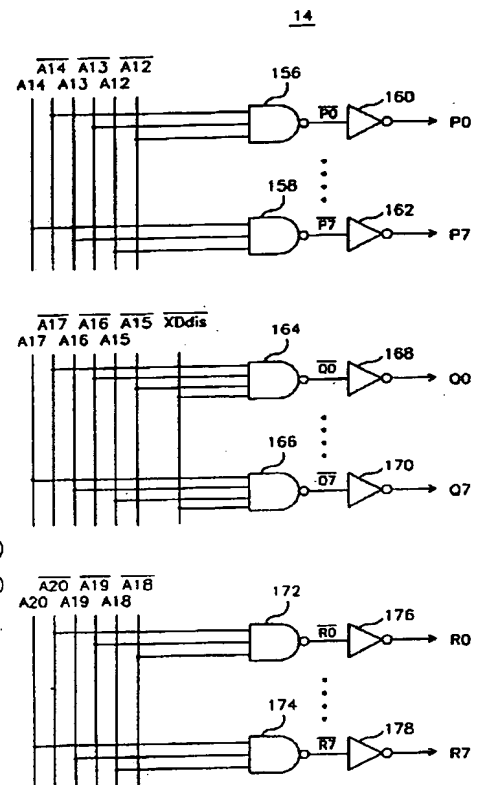
【図6】



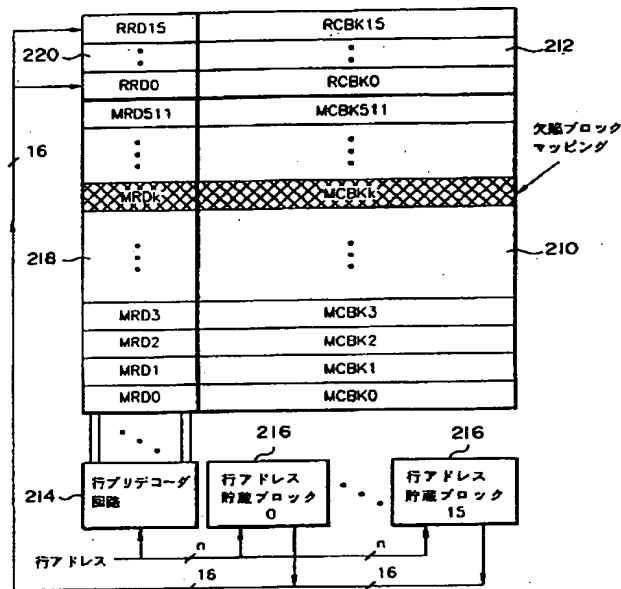
【図7】



【図10】



【図 12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.